

03C0

0410

04C0.064

PATENT

81754.0048

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Toshihiko HIGUCHO

Serial No: 09/754,818

Filed: January 4, 2001

For: SEMICONDUCTOR DEVICE
AND METHOD FOR
MANUFACTURING THE SAME

Art Unit: Not Assigned

Examiner: Not Assigned

I hereby certify that this correspondence
is being deposited with the United States
Postal Service with sufficient postage as
first class mail in an envelope addressed
to:

Assistant Commissioner for Patents
Washington D.C. 20231, on

March 9, 2001

Date of Deposit

Louis A. Mok, Reg. No. 22,585

Name

March 9, 2001

Date

Signature

TRANSMITTAL OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2000-000935 which was filed January 6, 2000 and application No. 2000-394959 which was filed December 26, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By:

Louis A. Mok

Registration No. 22,585

Attorney for Applicant(s)

Date: March 9, 2001

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 1月 6日

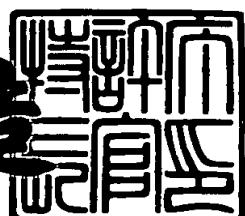
出願番号
Application Number: 特願 2000-000935

出願人
Applicant(s): セイコーエプソン株式会社

2001年 1月 19日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特 2000-3114591

特2000-000935

【書類名】 特許願
【整理番号】 J0076480
【提出日】 平成12年 1月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/467
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホン株
式会社内
樋口 俊彦
【氏名】
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーホン株式会社
【代表者】 安川 英昭
【代理人】
【識別番号】 100093388
【弁理士】
【氏名又は名称】 鈴木 喜三郎
【連絡先】 0266-52-3139
【選任した代理人】
【識別番号】 100095728
【弁理士】
【氏名又は名称】 上柳 雅裕
【選任した代理人】
【識別番号】 100107261
【弁理士】
【氏名又は名称】 須澤 修
【手数料の表示】
【予納台帳番号】 013044
【納付金額】 21,000円

出証特2000-3114591

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び配線パターン設計方法

【特許請求の範囲】

【請求項1】 レジストパターンをマスクとしてエッチングすることにより形成された配線パターン及び他の配線パターンを備えた半導体装置であって、上記配線パターンと所定間隔より短い間隔で配置された接続孔と、この接続孔を覆うように配置された他の配線パターンと、を備え、

上記他の配線パターンに形成された耳パターンであって、上記接続孔を覆う中央領域部の上下左右の四方向のうち、上記配線パターンの存在する方向以外の側に配置された耳パターンを具備することを特徴とする半導体装置。

【請求項2】 レジストパターンをマスクとしてエッチングすることにより形成された第1及び第2の配線パターンを備えた半導体装置であって、

第1の配線パターンと所定間隔より短い間隔で配置された接続孔と、第1の配線パターンに平行に形成され、一端が上記接続孔を覆う第2の配線パターンと、

第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第2の配線パターンの延長線上に配置された第1耳パターンと、

第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第1の配線パターンのある側と反対方向で、かつ、第2の配線パターンの垂直方向に形成された第2耳パターンと、

を具備することを特徴とする半導体装置。

【請求項3】 レジストパターンをマスクとしてエッチングすることにより形成された第1及び第2の配線パターンを備えた半導体装置であって、

第1の配線パターンと所定間隔より短い間隔で配置された接続孔と、第1の配線パターンに垂直方向に形成され、一端が上記接続孔を覆う第2の配線パターンと、

第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第2の配線パターンの一方の垂直方向に配置された第1耳パターンと、

第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第2の配線パターンの他方の垂直方向に形成された第2耳パターンと、
を具備することを特徴とする半導体装置。

【請求項4】 レジストパターンをマスクとしてエッチングすることにより形成された第1及び第2の配線パターンを備えた半導体装置であって、

第1の配線パターンと所定間隔より短い間隔で配置された接続孔と、

第1の配線パターンに平行方向に形成された第1パターンと第1の配線パターンに垂直方向に形成された第2パターンからなり、第1パターンと第2パターンが交わるコーナー部が上記接続孔を覆う第2の配線パターンと、

第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第1の配線パターンに平行方向に配置された耳パターンと、

を具備することを特徴とする半導体装置。

【請求項5】 レジストパターンをマスクとしてエッチングすることにより形成された第1及び第2の配線パターンを備えた半導体装置であって、

第1の配線パターンと所定間隔より短い間隔で配置された接続孔と、

この接続孔を覆う第2の配線パターンと、

第2の配線パターンに連設され、第1の配線パターンの平行方向の一方側に配置された第1耳パターンと、

第2の配線パターンに連設され、第1の配線パターンの垂直方向に配置された第2耳パターンと、

第2の配線パターンに連設され、第1の配線パターンの平行方向の他方側に配置された第3耳パターンと、

を具備することを特徴とする半導体装置。

【請求項6】 接続孔を覆う配線パターンを設計する方法であって、
上記配線パターンにおける接続孔を覆う中央領域部の上下左右の四方向に第1乃至第4の耳パターンを配置し、

第1乃至第4の耳パターンのうち、所定間隔より短い間隔で隣接する他の配線パターンの存在する側の耳パターンを消すことを特徴とする配線パターン設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、レジストパターンをマスクとしてエッチングすることにより形成された配線パターンを備えた半導体装置及び配線パターンの設計方法に関する。

【0002】

【従来の技術】

以下、従来の半導体装置の一例について説明する。この半導体装置は、図7に示すような上層配線を有している。

【0003】

図6は、従来の半導体装置における上層配線を形成するためのレジストパターンを示す平面図である。図7は、図6に示すレジストパターンをマスクとして形成された上層配線を示す平面図である。図8は、図7に示す8-8線に沿った断面図である。図9は、図7に示す9-9線に沿った断面図である。

【0004】

図6に示すように、第1、第2の下層配線101、102及び第1乃至第3の上層配線（図示せず）を配置する。第1乃至第3の上層配線を形成するためのエッチングマスクが第1乃至第3のレジストパターン105～107である。従って、第1乃至第3の上層配線それぞれのパターンは、第1乃至第3のレジストパターン105～107と同一パターンからなる。また、第1及び第2の下層配線101、102と第1乃至第3の上層配線との間には層間絶縁膜（図8に示す参考符号120）が形成されている。

【0005】

すなわち、第1及び第2の下層配線101、102は互いに平行に配置されている。第1の下層配線101の一端はピアホール103内に埋め込まれた金属（図示せず）を介して第1の上層配線の一端に接続され、第1の上層配線は第3の上層配線と平行方向に配置される。第2の下層配線102の一端はピアホール104内に埋め込まれた金属（図示せず）を介して第2の上層配線の一端に接続され、第2の上層配線は第3の上層配線と垂直方向に配置される。

【0006】

このような第1乃至第3の上層配線を設計する場合は、第1の上層配線をピアホール103まで引き延ばし、そのピアホール103上を第1の上層配線が覆うところで止め、同様に、第2の上層配線をピアホール104まで引き延ばし、そのピアホール104上を第2の上層配線が覆うところで止めていた。

【0007】

次に、図6に示すレジストパターンをマスクとして形成された第1乃至第3の上層配線について説明する。

【0008】

レジストパターンをマスクとしてエッチングすることにより配線を形成する場合、一般に、レジストパターンが疎の部分ではエッチングされた配線がそのレジストパターンより太くなり、レジストパターンが密の部分ではエッチングされた配線がそのレジストパターンより細くなるという特性がある。このようなエッチングの特性から、配線パターンの微細化に伴うフォトレジストの後退により図7に示すようにピアホール103, 104と第1、第2の上層配線115, 116のオーバーラップが減ることがある。その結果、上層配線115, 116とピアホール103, 104内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下といった問題が生じる。

【0009】

また、図7に示すように、第3の上層配線117の一方側におけるピアホール103, 104の相互間は、その近傍に配線パターンのない部分であるから、エッチング時に図8に示すように第3の上層配線117の一方側にテーパーが形成され、上層配線117の底部が太くなることがある。このため、上層配線117とピアホール103, 104内に埋め込まれた金属それぞれとの間隔 L_1 、 L_2 が短くなり、そのピアホール内金属と上層配線117とがショートする不良が発生することがある。

【0010】

【発明が解決しようとする課題】

上述したように、上記従来の半導体装置では、微細化に伴うフォトレジストの

後退により接続孔（ピアホール又はコンタクトホール）と配線のオーバーラップが減り、配線と接続孔内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下といった問題が生じる。また、パターンが疎の部分の配線はエッティング時にテーパーがついて太くなるため、その太くなつた配線が近傍の接続孔内に埋め込まれた金属とショートしてしまうことがある。

【0011】

本発明は上記のような事情を考慮してなされたものであり、その目的は、配線と接続孔内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制でき、パターンが疎の部分の配線とその近傍の接続孔内に埋め込まれた金属とのショート不良の発生を抑制できる半導体装置及び配線パターン設計方法を提供することにある。

【0012】

【課題を解決するための手段】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッティングすることにより形成された配線パターン及び他の配線パターンを備えた半導体装置であつて、上記配線パターンと所定間隔より短い間隔で配置された接続孔と、この接続孔を覆うように配置された他の配線パターンと、を備え、上記他の配線パターンに形成された耳パターンであつて、上記接続孔を覆う中央領域部の上下左右の四方向のうち、上記配線パターンの存在する方向以外の側に配置された耳パターンを具備することを特徴とする。

【0013】

上記半導体装置によれば、他の配線パターンに形成された耳パターンを有し、その耳パターン近傍の配線パターンが密となつても、耳パターンの部分が細くなるだけで接続孔上の他の配線パターンのオーバーラップが減ることを抑制できる。その結果、他の配線パターンと接続孔内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制することができる。また、上記半導体装置では、接続孔近傍の配線パターンが疎であることから、エッティング時に配線パターンにテーパーが形成されて配線パターンの底部が太くなつても、他の配線パターンに形成された耳パターンを有するため、配線パターンと接続孔内に埋め込まれた金属

との間隔が狭くなることを抑制できる。従って、その埋め込まれた金属と配線パターンとがショートする不良の発生を抑制することができる。

【0014】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第1及び第2の配線パターンを備えた半導体装置であって、第1の配線パターンと所定間隔より短い間隔で配置された接続孔と、第1の配線パターンに平行に形成され、一端が上記接続孔を覆う第2の配線パターンと、第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第2の配線パターンの延長線上に配置された第1耳パターンと、第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第2の配線パターンの垂直方向に形成された第2耳パターンと、を具備することを特徴とする。

【0015】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第1及び第2の配線パターンを備えた半導体装置であって、第1の配線パターンと所定間隔より短い間隔で配置された接続孔と、第1の配線パターンに垂直方向に形成され、一端が上記接続孔を覆う第2の配線パターンと、第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第2の配線パターンの一方の垂直方向に配置された第1耳パターンと、第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第2の配線パターンの他方の垂直方向に形成された第2耳パターンと、を具備することを特徴とする。

【0016】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第1及び第2の配線パターンを備えた半導体装置であって、第1の配線パターンと所定間隔より短い間隔で配置された接続孔と、第1の配線パターンに平行方向に形成された第1パターンと第1の配線パターンに垂直方向に形成された第2パターンからなり、第1パターンと第2パターンが交わるコーナー部が上記接続孔を覆う第2の配線パターンと、第2の配線パターンにおける上記接続孔を覆う中央領域部に連設され、第1の配線パターンに平行方向に配置された耳パターンと、を具備することを特徴とする。

【0017】

本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第1及び第2の配線パターンを備えた半導体装置であって、第1の配線パターンと所定間隔より短い間隔で配置された接続孔と、この接続孔を覆う第2の配線パターンと、第2の配線パターンに連設され、第1の配線パターンの平行方向の一方側に配置された第1耳パターンと、第2の配線パターンに連設され、第1の配線パターンの垂直方向に配置された第2耳パターンと、第2の配線パターンに連設され、第1の配線パターンの平行方向の他方側に配置された第3耳パターンと、を具備することを特徴とする。

【0018】

本発明に係る配線パターン設計方法は、接続孔を覆う配線パターンを設計する方法であって、上記配線パターンにおける接続孔を覆う中央領域部の上下左右の四方向に第1乃至第4の耳パターンを配置し、第1乃至第4の耳パターンのうち、所定間隔より短い間隔で隣接する他の配線パターンの存在する側の耳パターンを消すことを特徴とする。

【0019】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

【0020】

図1は、本発明の第1の実施の形態による半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。図2は、図1に示す上層配線のパターンを設計する方法を説明するための平面図である。図3は、図1に示すマスクパターンによるフォトリソ技術によりフォトレジストをエッチングマスクに用いてドライエッチングにより形成された上層配線を示す平面図である。

【0021】

図1に示すように、第1、第2の下層配線1、2及び第1乃至第3の上層配線(図示せず)を配置する。第1乃至第3の上層配線を形成するためのエッチングマスクは第1乃至第3のマスクパターン5～7である。従って、第1乃至第3の上層配線それぞれのパターンは、第1乃至第3のマスクパターン5～7と同一パ

ターンからなる。また、第1及び第2の下層配線1，2と第1乃至第3の上層配線との間には層間絶縁膜（図示せず）が形成されている。

【0022】

すなわち、第1及び第2の下層配線1，2は互いに平行に配置されている。第1の下層配線1の一端はピアホール3内に埋め込まれた金属（図示せず）を介して第1の上層配線の一端に接続され、第1の上層配線は第3の上層配線と平行方向に配置される。第2の下層配線2の一端はピアホール4内に埋め込まれた金属（図示せず）を介して第2の上層配線の一端に接続され、第2の上層配線は第3の上層配線と垂直方向に配置される。ピアホール3，4は、第3の上層配線と所定間隔より短い間隔で配置されている。この所定間隔は、0.1 μ m以上1 μ m以下であることが好ましい。所定間隔については以下同様である。

【0023】

次に、このような第1乃至第3の上層配線を設計する方法について説明する。図1に示すように、第1の上層配線をピアホール3まで引き延ばし、そのピアホール3上を第1の上層配線が覆うところで止め、更にピアホール3上（ピアホール3を覆う中央領域部）から第1乃至第4の耳パターン11～14を配置し、このうち所定間隔より短い間隔で隣接する第3の上層配線のある側の第1の耳パターン11を消す。第4の耳パターン14は第1の上層配線に重なっている。このようにして第1の上層配線のパターンを設計する。ここで、第1乃至第4の耳パターン11～14とは、第1及び第2の上層配線のように、ピアホール又はコントакトホールなどの接続孔を覆う配線パターンを設計する場合、図2に示すように、接続孔9を覆う中央領域部10の上下左右の四方向に形成されるパターン11～14である。従って、第1の上層配線の一端には第2の耳パターン12及び第3の耳パターン13が配置される。

【0024】

同様な方法で、第2の上層配線をピアホール4まで引き延ばし、そのピアホール4上を第2の上層配線が覆うところで止め、更にピアホール4上から第1乃至第4の耳パターン11～14を配置し、このうち所定間隔より短い間隔で隣接する第3の上層配線のある側の第1の耳パターン11を消す。これにより、第2の

上層配線の一端には第2の耳パターン12及び第4の耳パターン14が配置される。このようにして第2の上層配線のパターンを設計する。

【0025】

次に、図1に示すマスクパターンによるフォトリソ技術でフォトレジストをマスクとしてドライエッチングにより形成された第1乃至第3の上層配線について説明する。

【0026】

フォトレジストパターンはフォトリソ工程の光転写により角が丸まり、この結果形成されたレジストをマスクとしてエッチングすることにより配線を形成する場合、一般に、レジストパターンが疎の部分ではエッチングされた配線がそのレジストパターンより太くなり、レジストパターンが密の部分ではエッチングされた配線がそのレジストパターンより細くなるという特性がある。これは、金属配線をドライエッチングする際、配線が細いため、断線することを防ぐためにエッチング中の金属の側壁にデポ物による保護膜をつけながらエッチングするためである。このようなエッチングの特性から、配線パターンの微細化に伴うフォトレジストの後退により図3に示すように第1の上層配線15における第2の耳パターン12a, 13a及び第2の上層配線16における第2、第4の耳パターン12a, 14aは小さくなる。しかし、それらの耳パターンの部分が小さくなるだけでピアホール3, 4と第1、第2の上層配線15, 16のオーバーラップが減ることを抑制できる。その結果、上層配線15, 16とピアホール3, 4内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制することができる。

【0027】

また、図3に示すように、第3の上層配線17の一方側におけるピアホール3, 4の相互間は、その近傍に配線パターンのない部分であるから、エッチング時に第3の上層配線17の一方側にテーパー17aが形成され、上層配線17の底部が太くなることがある。しかし、ピアホール3, 4の相互間には耳パターン12a, 14aが形成されているため、上層配線17とピアホール3, 4内に埋め込まれた金属の上部それぞれとの間隔が狭くなることを抑制でき、そのピアホー

ル内金属と上層配線17とがショートする不良の発生を抑制することができる。

【0028】

図4は、本発明の第2の実施の形態による半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。図5は、図4に示すマスクパターンによるフォトリソ技術で形成したフォトレジストをマスクとして形成された上層配線を示す平面図である。図4及び図5において図1乃至図3と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0029】

図4に示すように、第1のレジストパターン21と同一パターンからなる第1の上層配線（図示せず）は、第3のレジストパターン7と同一パターンからなる第3の上層配線（図示せず）と平行方向に配置された部分と、第3の上層配線と垂直方向に配置された部分と、から構成されている。これら両部分が交わるコーナー部にピアホール3が配置されている。第1の上層配線のコーナー部はピアホール3内に埋め込まれた金属（図示せず）を介して第1の下層配線1の一端に接続される。

【0030】

第2の下層配線2の一端はピアホール4内に埋め込まれた金属（図示せず）を介して第2の上層配線に接続され、第2の上層配線は第2のレジストパターン22と同一パターンからなる。第2のレジストパターン22はピアホール4を覆うだけのパターンである。

【0031】

次に、このような第1及び第2の上層配線を設計する方法について説明する。図4に示すように、ピアホール3上（ピアホール3を覆う中央領域部）から第1乃至第4の耳パターン11～14を配置し、このうち所定間隔より短い間隔で隣接する第3の上層配線のある側の第1の耳パターン11を消す。第3、第4の耳パターン13、14は第1の上層配線に重なっている。これにより、第1の上層配線のコーナー部には第2の耳パターン12が配置される。このようにして第1の上層配線のパターンを設計する。

【0032】

ピアホール4上を覆うパターンを配置し、更にピアホール4上から第1乃至第4の耳パターン11～14を配置し、このうち所定間隔より短い間隔で隣接する第3の上層配線のある側の第1の耳パターン11を消す。これにより、第2の上層配線には第2乃至第4の耳パターン12～14が配置される。このようにして第2の上層配線のパターンを設計する。

【0033】

図5に示すように、図4に示すレジストパターンをマスクとして形成された第1及び第2の上層配線31, 32については、第1の実施の形態と同様の理由により、ピアホール3, 4と第1、第2の上層配線31, 32のオーバーラップが減ることを抑制できる。従って、上層配線31, 32とピアホール3, 4内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制することができる。

【0034】

また、図5に示すように、図4に示すレジストパターンをマスクとして形成された第3の上層配線17については、第1の実施の形態と同様の理由により、上層配線17とピアホール3, 4内に埋め込まれた金属それぞれとの間隔が狭くなることを抑制でき、その埋め込まれた金属と上層配線17とがショートする不良の発生を抑制することができる。

【0035】

尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。

【0036】

また、上記実施の形態で述べたピアホール内に埋め込まれた金属の例としては、W(タンクスチン)やAl(アルミニウム)、Cu(銅)などの金属、またはその合金、シリサイドなどが挙げられる。

【0037】

【発明の効果】

以上説明したように本発明によれば、配線と接続孔内に埋め込まれた金属との接触抵抗の増加や配線信頼性の低下を抑制でき、パターンが疎の部分の配線とそ

の近傍の接続孔内に埋め込まれた金属とのショート不良の発生を抑制できる半導体装置及び配線パターン設計方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態による半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。

【図2】

図1に示す上層配線のパターンを設計する方法を説明するための平面図である。

【図3】

図1に示すパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された上層配線を示す平面図である。

【図4】

本発明の第2の実施の形態による半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。

【図5】

図4に示すパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された上層配線を示す平面図である。

【図6】

従来の半導体装置における上層配線を形成するためのマスクパターンを示す平面図である。

【図7】

図6に示す従来技術のパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された上層配線を示す平面図である。

【図8】

図7に示す8-8線に沿った断面図である。

【図9】

図7に示す9-9線に沿った断面図である。

【符号の説明】

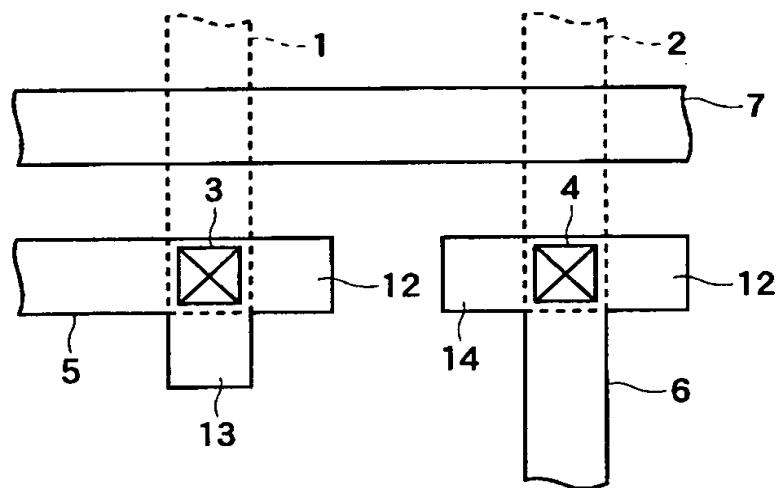
- 1 第1の下層配線
- 2 第2の下層配線
- 3, 4 ピアホール
- 5 第1のレジストパターン
- 6 第2のレジストパターン
- 7 第3のレジストパターン
- 9 接続孔
- 10 中央領域部
 - 11～14 第1～第4の耳パターン
 - 12 a 第2の耳パターン
 - 13 a 第3の耳パターン
 - 14 a 第4の耳パターン
- 15 第1の上層配線
- 16 第2の上層配線
- 17 第3の上層配線
- 17 a テーパー
- 21 第1のレジストパターン
- 22 第2のレジストパターン
- 31 第1の上層配線
- 32 第2の上層配線
- 101 第1の下層配線
- 102 第2の下層配線
- 103, 104 ピアホール
- 105 第1のレジストパターン
- 106 第2のレジストパターン
- 107 第3のレジストパターン
- 115 第1の上層配線
- 116 第2の上層配線
- 117 第3の上層配線

特2000-000935

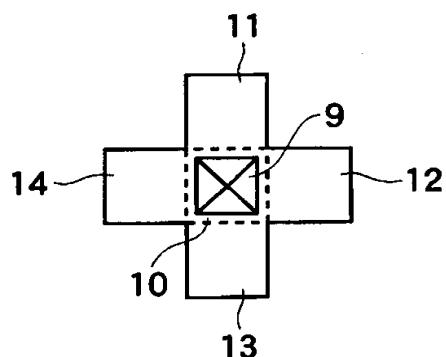
120 層間絶縁膜

【書類名】 図面

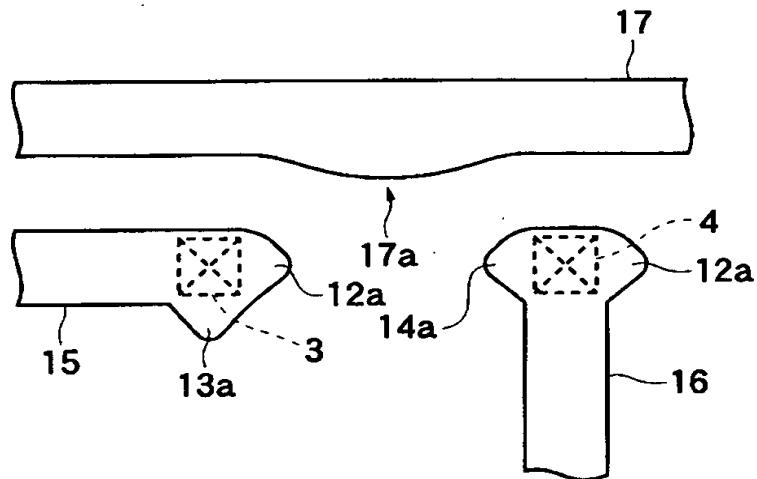
【図1】



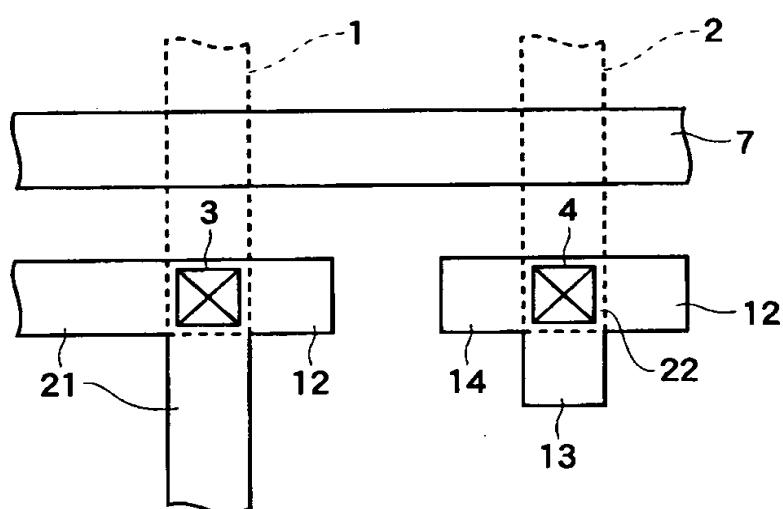
【図2】



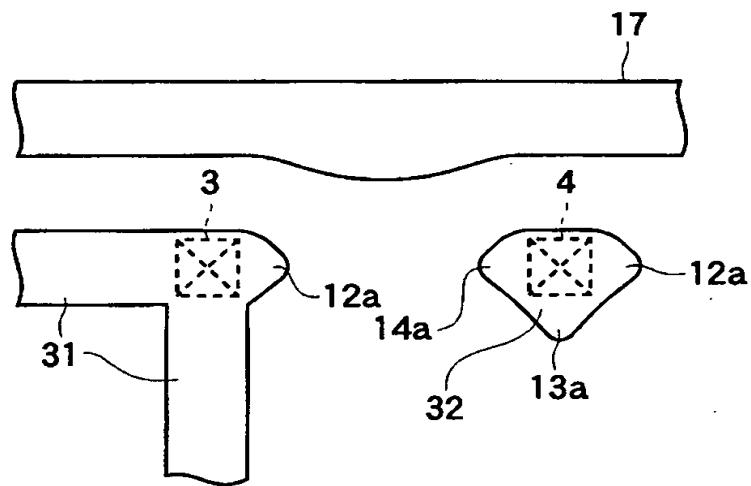
【図3】



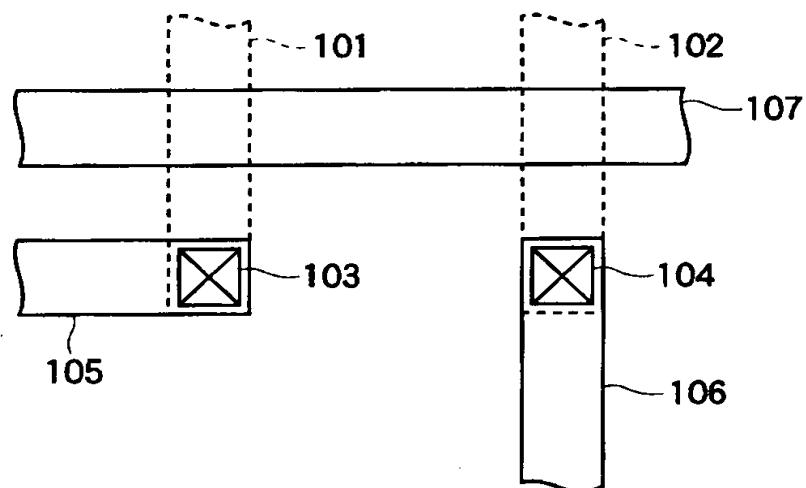
【図4】



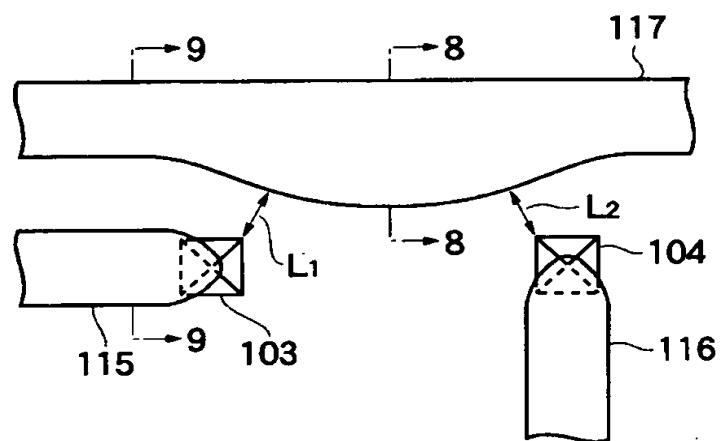
【図5】



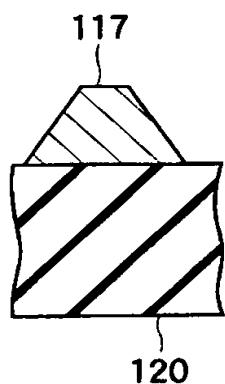
【図6】



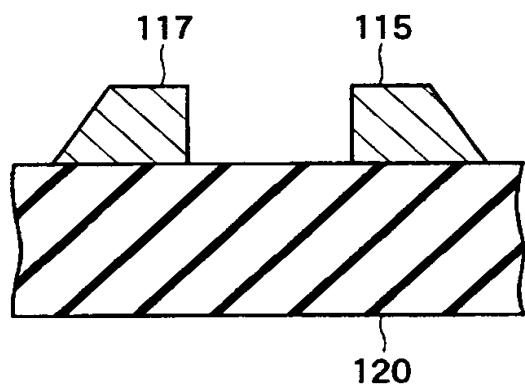
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 配線と接続孔内の埋め込み金属との接触抵抗の増加や配線信頼性の低下を抑制でき、パターンが疎の部分の配線とその近傍の接続孔内の埋め込み金属とのショート不良の発生を抑制できる半導体装置及び配線パターン設計方法を提供する。

【解決手段】 本発明に係る半導体装置は、レジストパターンをマスクとしてエッチングすることにより形成された第1及び第3の配線パターン5, 7を備えている。この半導体装置は、第3の配線パターン7と所定間隔より短い間隔で配置されたピアホール3と、ピアホール3を覆うように配置された第1の配線パターン5と、を備え、第1の配線パターン5に形成された耳パターンであって、ピアホール3を覆う中央領域部の上下左右の四方向のうち、第3の配線パターン7の存在する方向以外の側に配置された第2の耳パターン12を具備する。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社